

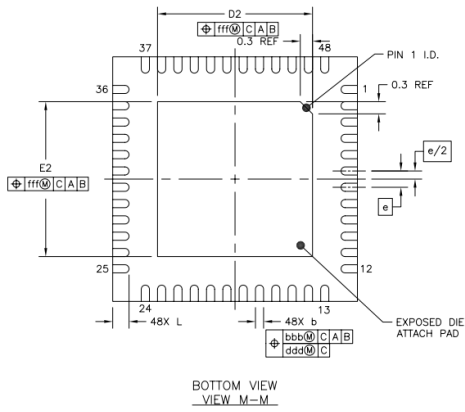
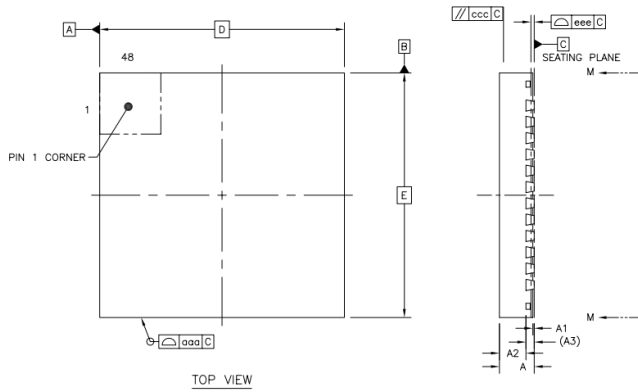
AG1280Q48 应用指南

● AG1280Q48 Pin-Out

Pin Name	AG1280Q48
PIN_1	IO
PIN_2	IO
PIN_3	IO
PIN_4	IO
PIN_5	IO
PIN_6	IO
PIN_7	VDDC: 1.2V
PIN_8	GND
PIN_9	IO Global
PIN_10	VDDC: 1.2V
PIN_11	IO
PIN_12	IO
PIN_13	IO Global
PIN_14	IO
PIN_15	IO Global
PIN_16	IO
PIN_17	IO
PIN_18	IO
PIN_19	IO Global
PIN_20	IO
PIN_21	VDDIO2
PIN_22	IO
PIN_23	IO
PIN_24	CDONE

Pin Name	AG1280Q48
PIN_25	IO
PIN_26	HOLDB: 3.3V
PIN_27	VDDFLASH: 3.3V
PIN_28	GND
PIN_29	GND
PIN_30	GND
PIN_31	GND
PIN_32	WPB: 3.3V
PIN_33	GND
PIN_34	VDDSPI: 3.3V
PIN_35	NCS
PIN_36	DATAOUT
PIN_37	TDO
PIN_38	TMS
PIN_39	TCK
PIN_40	TDI
PIN_41	IO Global
PIN_42	IO
PIN_43	IO
PIN_44	IO Global
PIN_45	IO
PIN_46	IO Global
PIN_47	VDDIO0
PIN_48	IO

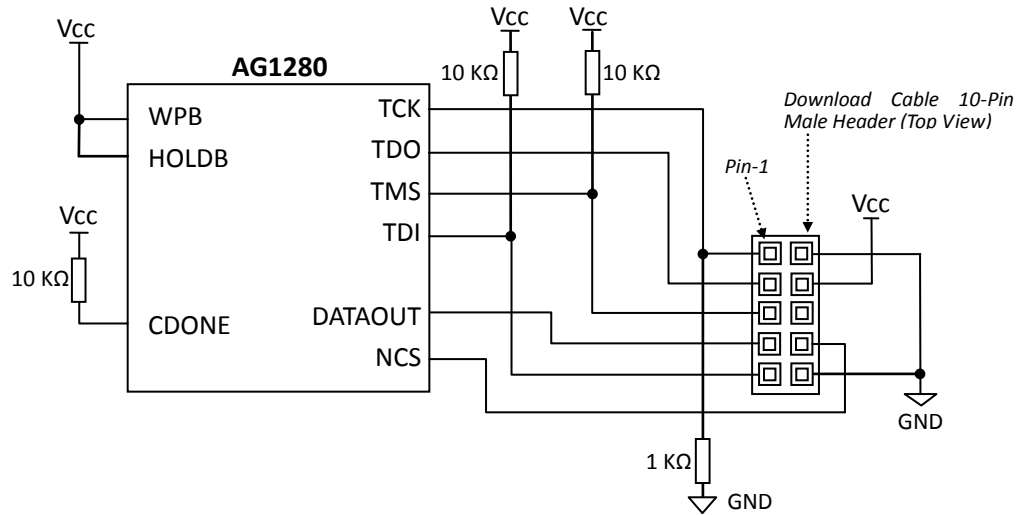
● **AG1280Q48 封装图**
QFN-48 封装, body size=6mmX6mm, pitch=0.4mm



DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
TOTAL THICKNESS	A	0.8	0.85	0.9
STAND OFF	A1	0	0.035	0.05
MOLD THICKNESS	A2	---	0.65	0.67
L/F THICKNESS	A3	0.203 REF		
LEAD WIDTH	b	0.15	0.20	0.25
BODY SIZE	X	D	5.90	6.00
	Y	E	5.90	6.00
LEAD PITCH	e	0.40 BSC		
EP SIZE	X	D2	3.70	3.80
	Y	E2	3.70	3.80
LEAD LENGTH	L	0.30	0.40	0.50
PACKAGE EDGE TOLERANCE	aaa	0.1		
LEAD OFFSET	bbb	0.07		
MOLD FLATNESS	ccc	0.1		
	ddd	0.05		
COPLANARITY	eee	0.08		
EXPOSED PAD OFFSET	fff	0.1		

- 配置电路

AG1280Q48 通过 JTAG 进行配置和烧写，使用 Altera USB-Blaster 下载线，请参考下图：



除 JTAG 4 个管脚外，还要接 DATAOUT 和 NCS。

CDONE 接上拉电阻，在配置成功后输出高电平。

WPB 和 HOLDB 为 AG1280 内部配置 FLASH 的管脚，接 Vcc。

请注意，如果采用非标准 10 针插座，Pin-2 和 Pin-10 均需接地。

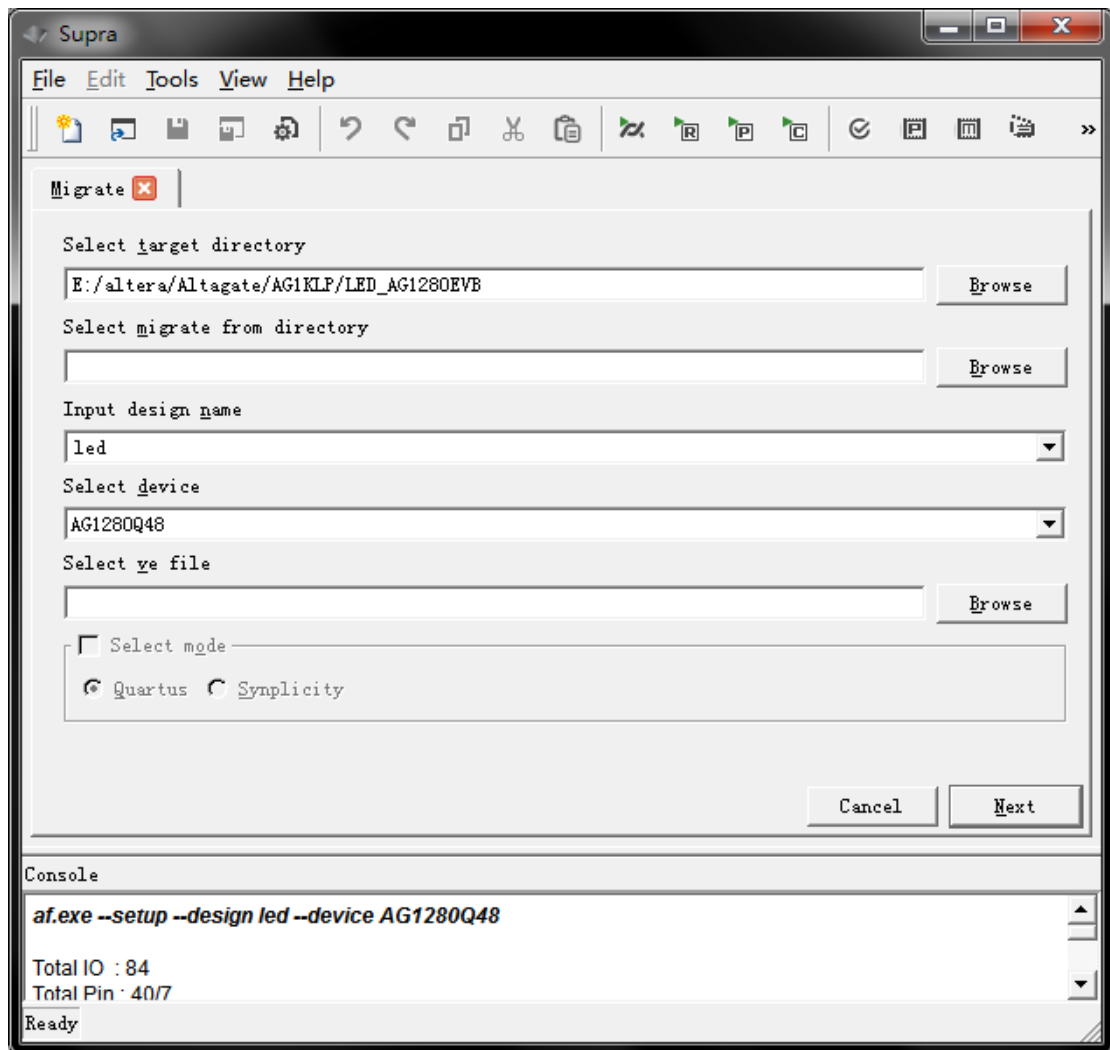
● 软件开发流程

1.) 软件安装:

解压缩或执行安装文件，安装 Supra 软件。执行文件为 bin 目录中的 Supra.exe。
运行 Supra，选择菜单 File -> Import license，选择 license 文件并导入 License。

2.) 新建项目:

新建一工程目录。打开 Supra，进入 Tools -> Migrate:



Target Directory 选新建的工程目录，Migrate from directory 不填，输入设计名称（这里例如 led），Device 选 AG1280Q48，ve 文件不填。

点击 Next，会生成一个以 led 命名的 Quartus II 项目，以及空的设计文件（qpf, v, sdc 等）。

3.) 项目设计:

用 Quartus II 打开 led.qpf 项目文件，修改设计文件 v，或添加其它所需设计源文件。

设计完成后，Quartus II 中选择菜单中 Tools -> Tcl Scripts...，窗口中选 af_quartus.tcl，点击 Run 进行编译。

Tcl 执行过一次后，以后修改原设计，Quartus 里只需执行正常的编译（Start Compilation）。

4.) 项目设置:

Quartus II 里编译成功后, 编辑 led.asf 文件 (Supra 的设置文件, 类似 Quartus II qsf 文件, 格式可参考 qsf 文件),

加入 IO 标准, IO 位置等设置信息, 保存。

例如:

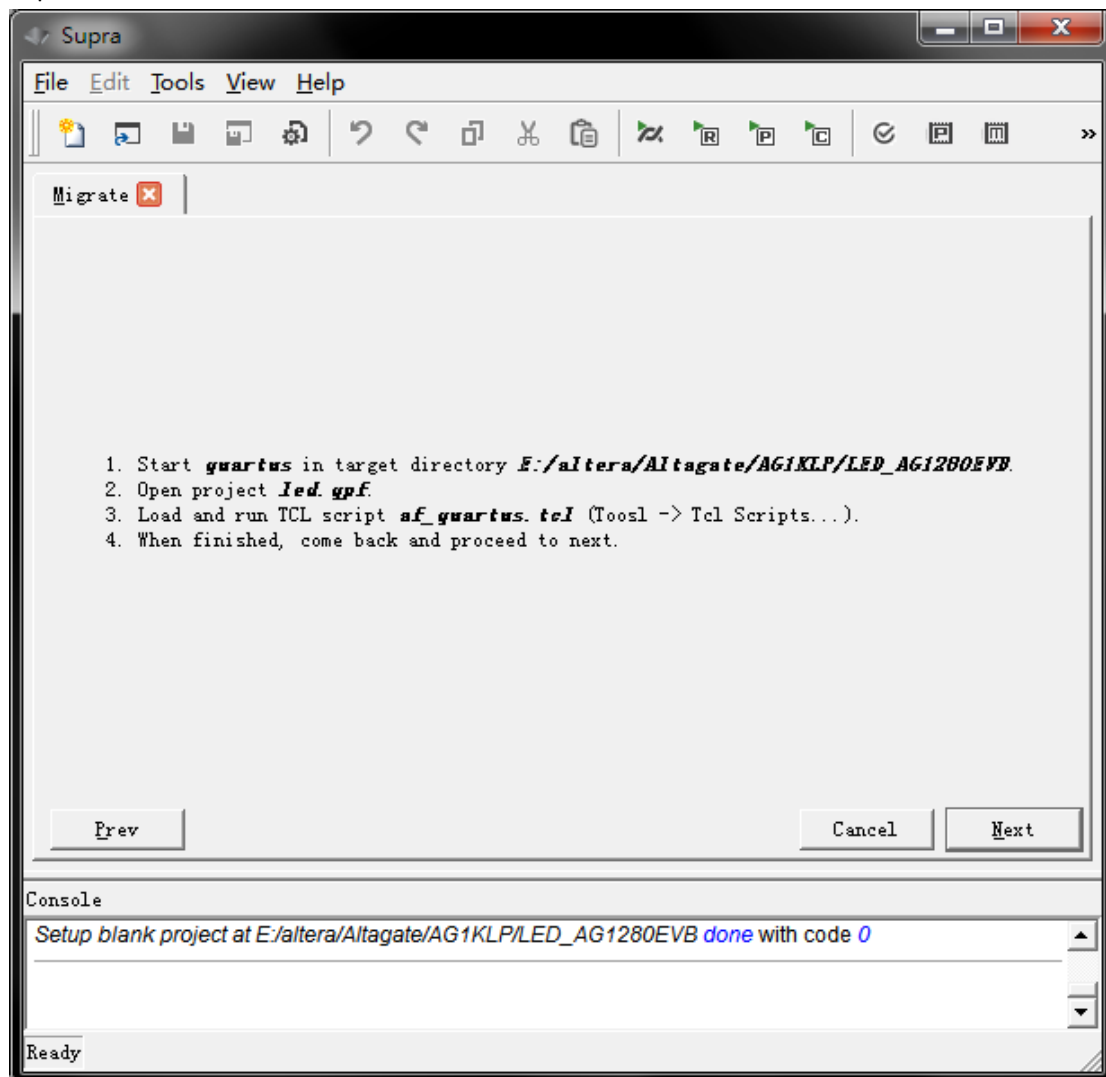
```
set_location_assignment -to clk PIN_2
```

```
set_location_assignment -to data PIN_13
```

(请参考芯片的管脚映射列表, 确定 IO 名称及位置)

5.) 项目编译:

Supra 里继续执行 Next, 开始进行编译。



编译成功后可以得到烧写文件, led_hybrid.prg。

6.) 芯片烧写:

Supra 软件中选 Program, 选中 DesignName_hybrid.prg, 开始烧写。烧写成功后, CDONE 管脚会变高。

● PLL 和 RAM 的使用方法

在 Supra 中进入 Tools -> Create IP, 选择 PLL 或 Memory。

PLL 类型选择 PLLX, 填写输入频率 (MHz), 输出频率, 相移等数据。

注意: PLL 的输入时钟必须是芯片的全局输入时钟管脚 (Pin_13, Pin_15, Pin_19 这三个)。

RAM 类型选择 BRAM, 根据需要设置数据宽度和深度, 以及端口方向。

完成后 Run, 目录中会产生比如 pll0.v、pll0.ip 和 ram0.v、ram0.ip 两个文件。

在 Quartus II 设计中加入 IP, 代码中调用产生的模块。由于 IP 包含在 alta_sim.v 的库文件中, 这个文件默认在 supra 的安装目录中, 如: C:\Supra\etc\arch\rodinia。Quartus II project 要加入这个文件, 同时, 要把 alta_pll 或 alta_bram 设为 Design Partition, 如图:

